

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Application No.: NEW

Group Art Unit: Unassigned

Filing Date: September 11, 2003

Examiner: Unknown

Applicants: Hyung-Dong KIM, et al.

Conf. No.: Unassigned

Title: SEMICONDUCTOR MEMORY DEVICE FOR ENHANCING
BITLINE PRECHARGE TIME

PRIORITY LETTER

September 11, 2003

Commissioner for Patents
Arlington, VA 22202

Dear Sirs:

Pursuant to the provisions of 35 U.S.C. 119, enclosed is/are a certified copy of the following priority document(s).

Application No.

Date Filed

Country

2002-64244

October 21, 2002

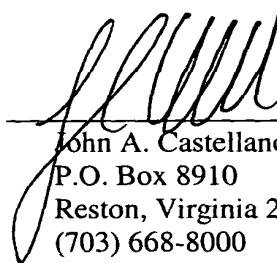
Korea

In support of Applicant's priority claim, please enter this document into the file.

Respectfully submitted,

HARNESS, DICKEY, & PIERCE, P.L.C.

By



John A. Castellano, Reg. No. 35,094
P.O. Box 8910
Reston, Virginia 20195
(703) 668-8000

JAC/MJL/cng

Enclosure: Korean Patent Application No. 2002-0064244.

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0064244
Application Number PATENT-2002-0064244

출원년월일 : 2002년 10월 21일
Date of Application OCT 21, 2002

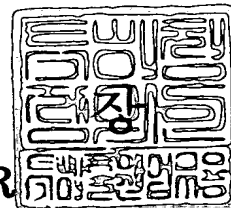
출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2002 년 11 월 06 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2002.10.21
【발명의 명칭】	비트라인 프리차아지 타임을 개선한 반도체 메모리 장치
【발명의 영문명칭】	semiconductor memory device of enhancing bitline precharge time
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	김능균
【대리인코드】	9-1998-000109-0
【포괄위임등록번호】	2001-022241-9
【발명자】	
【성명의 국문표기】	김형동
【성명의 영문표기】	KIM,Hyung Dong
【주민등록번호】	690204-1348041
【우편번호】	442-400
【주소】	경기도 수원시 팔달구 망포동 벽산아파트 102동 1102호
【국적】	KR
【발명자】	
【성명의 국문표기】	오치성
【성명의 영문표기】	OH,Chi Sung
【주민등록번호】	740206-1143313
【우편번호】	135-090
【주소】	서울특별시 강남구 삼성동 50 차관아파트 16동 306호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 김능균 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 5 면 5,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 13 항 525,000 원

【합계】 559,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

보다 고속 동작을 구현하기 위하여 비트라인 프리차아지 타임을 개선한 반도체 메모리 장치가 개시된다. 비트라인 페어를 통해 서로 연결된 메모리 셀과 센스 앰프를 전기적으로 연결하거나 격리하는 아이솔레이션 부와, 프리차아지 모우드 동안에 상기 메모리 셀과 연결된 상기 비트라인 페어를 동일한 전압레벨로 프리차아지 하는 등화부를 구비한 반도체 메모리 장치는: 상기 프리차아지 모우드 동안에 상기 아이솔레이션 부를 구동하기 위한 구동 제어신호를, 상기 등화부의 프리차아지 동작이 시작된 시점부터 일정 타임 구간이 경과한 후에, 고전압 레벨보다 낮은 내부전원전압 레벨로서 인가하는 아이솔레이션 제어부를 구비함에 의해, 비트라인 프리차아지 타임을 단축한다.

【대표도】

도 2

【색인어】

반도체 메모리 장치, 비트라인, 프리차아지, 아이솔레이션 제어신호

【명세서】**【발명의 명칭】**

비트라인 프리차아지 타임을 개선한 반도체 메모리 장치{semiconductor memory device of enhancing bitline precharge time }

【도면의 간단한 설명】

도 1은 컨벤셔널 반도체 메모리 장치의 일부 블록들의 회로도
도 2 및 도 3은 본 발명의 실시예들에 따른 아이솔레이션 제어부의 회로도들
도 4 및 도 5는 각기, 컨벤셔널 기술에 따른 비트라인 프리차아지 동작과 본 발명의 실시예에 따른 비트라인 프리차아지 동작을 비교하기 위해 도시된 도면들

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <4> 본 발명은 반도체 메모리 장치에 관한 것으로, 특히 비트라인 프리차아지 타임을 개선한 반도체 메모리 장치에 관한 것이다.
- <5> 휘발성 반도체 메모리 장치 중의 하나인 디램(DRAM)은 기본적으로 리드 동작과 라이트 동작을 갖는다. 리드 동작의 경우에 인가된 로우 어드레스(Address)에 의해 동일한 워드라인에 연결된 메모리 셀들이 선택되면 메모리 셀들내에 각기 저장된 메모리 셀 데이터는 대응되는 비트라인(이하 "B/L": Bit Line)을 통해 미약한 전기적 신호로서 나타

난다. 상기 비트라인에 나타난 메모리 셀 데이터는 비트라인 센스 앰프(이하"S/A": Sense Amplifier)에 의해 감지 및 증폭된 후, 데이터 출력라인에 연결된 출력버퍼를 통해 외부로 출력된다. 한편, 라이트 동작의 경우에는 외부에서 인가된 라이트 데이터가 라이트 버퍼에 들어오면 라이트 버퍼를 통해 수신된 라이트 데이터가, 상기한 리드 동작 경로와는 반대의 경로를 거쳐, 인가되는 어드레스에 대응되는 메모리 셀에 저장된다.

<6> 상기한 동작을 갖는 컨벤셔널 반도체 메모리 장치의 일부 블록들의 회로구성을 보인 도 1을 참조하면, 메모리 셀 어레이내의 메모리 셀들(10,11)과 센스 앰프(40)는 비트라인 페어(BL,BLB)를 통해 서로 연결되어 있고, 상기 센스 앰프(40)의 양단에 연결된 비트라인 페어에는 각기 아이솔레이션 부(30,31) 및 등화부(20,21)가 연결되어 있다. 상기 아이솔레이션 부(30)는 비트라인 페어를 이루는 비트라인(BL) 및 상보 비트라인(BLB)에 드레인-소오스 채널이 각기 연결되고 각각의 게이트 단자로 아이솔레이션 제어신호(PISO_i)를 공통으로 수신하는 아이솔레이션 트랜지스터들(NM4,NM5)로 구성되어, 비트라인 페어(BL,BLB)를 통해 서로 연결된 메모리 셀(10)과 센스 앰프(40)를 전기적으로 격리하는 역할을 한다. 이에 따라 메모리 셀들(10,11)중 메모리 셀(10)이 선택되었다고 할 경우에 메모리 셀(10)은 비트라인 페어(BL,BLB)를 통해 상기 센스 앰프(40)와 전기적으로 연결되고, 비 선택된 메모리 셀(11)은 상기 센스 앰프(40)와 전기적으로 분리된다. 상기 등화부(20)는 비트라인(BL)과 상보 비트라인(BLB)사이에 드레인-소오스 채널이 각기 연결되고 게이트 단자로 각기 등화 제어신호(PEQ_i)를 수신하는 등화트랜지스터

들(NM1,NM2,NM3)로 구성되어, 비트라인(BL)과 상보 비트라인(BLB)의 전위를 동일하게 프리차아지(Precharge)하는 역할을 한다. 여기서, 프리차아지 전압(PR)은 하프 전원전압으로 설정될 수 있다. 상기 등화트랜지스터들(NM1,NM2,NM3)은 리드나 라이트 동작등과 같은 액티브(Active)모우드에서는 디세이블(disable)되고, 프리차아지 모우드에서는 인에이블(enable)된다. 따라서, 프리차아지 모우드에서 상기 등화트랜지스터들(NM1,NM2,NM3)이 인에이블 되면, 비트라인 페어내의 비트라인(BL)과 상보 비트라인(BLB)은 서로 동일한 전압레벨을 갖게 된다.

<7> 여기서, 액티브 동작동안에 상기 아이솔레이션 부(30)가 구동되는 경우, 아이솔레이션 트랜지스터들(NM4,NM5)의 게이트 단자에는 동작전원전압(VCC)의 레벨보다 높은 전압레벨을 갖는 고전압(VPP)이 인가된다. 그 이유는 액티브 동작시 비트라인 페어중의 하나에 나타난 하이레벨의 전압을, 트랜지스터의 문턱전압 만큼의 강하없이, 그대로 센스 앰프(40)로 전달하기 위해서이다. 따라서, 상기 아이솔레이션 트랜지스터들(NM4,NM5)의 게이트 산화막(gate oxide)의 두께는 고 전계에 충분히 견딜 수 있도록 하기 위해, 게이트 단자로 동작전원전압(VCC)을 수신하는 노말 트랜지스터들의 게이트 산화막 두께보다 두껍게 형성된다. 모오스 트랜지스터의 경우에 있어서 게이트 산화막의 두께가 증가할수록 문턱전압의 레벨은 높아지고, 전류 구동능력은 작아지게 된다. 따라서, 액티브 모우드가 아닌 프리차아지 모우드의 경우 상기 아이솔레이션 트랜지스터들(NM4,NM5)의 타이턴은 동작에 의해 비트라인과 상보 비트라인의 전압레벨이 등화(Equalize)되는 시간은 증가된다.

<8> 이와 같이, 반도체 메모리 장치의 프리차아지 동작에 걸리는 시간이 길어지

는 이유는 다음과 같다. 프리차아지 모우드에서 동작 모우드 신호들 (PBLSi, PBLSiB, PBLSiB)이 각기 로우, 하이, 하이로서 인가되면, 등화 제어신호 발생부 (50)에서는 하이 레벨의 등화 제어신호(PEQi)를 생성한다. 이에 따라 상기 등화트랜지스터들(NM1, NM2, NM3)의 각 게이트 단자의 전압레벨은 0볼트에서 상기 동작전원전압(VCC)의 레벨로 바뀌어지고, 통상적으로 하프 전원전압의 레벨을 목표로 하는 비트라인 프리차아지 동작이 시작된다. 한편, 상기 프리차아지 모우드에서는 상기 아이솔레이션 트랜지스터들(NM4, NM5)의 게이트 단자에는 더 이상 고전압(VPP)이 인가되지 않고 상대적으로 낮은 레벨을 갖는 내부전원전압(IVC) 예컨대, 동작전원전압(VCC)이 인가된다. 이 경우에, 비선택된 메모리 셀(11)에 연결된 아이솔레이션 트랜지스터들(NM4, NM5)의 게이트 단자에는 접지전압(VSS)이 더 이상 인가되지 않고 상기 동작전원전압(VCC)이 인가된다. 상기 아이솔레이션 제어신호(PISOi)가 상기 동작전원전압(VCC)의 레벨로서 인가되는 이유는 상기 동작 모우드 신호들(PBLSiB, PBLSiB)에 응답하는 아이솔레이션 제어신호 발생부(60) 내의 게이트(NAN1)의 출력이 로우가 되고, 피형 모오스 트랜지스터들(PM1, PM2, PM3) 및 엔형 모오스 트랜지스터(NM11)가 턴온되기 때문이다. 이 경우에, 상기 비트라인 페어 (BL, BLB)를 메모리 셀(10) 측과 센스 앰프(40)측을 기준으로 구별하고, 상기 비트라인 (BL)에 하이레벨의 데이터가 존재하였던 경우라고 가정하면, 상기 센스 앰프(40)측보다 메모리 셀(10)측에 더 인접한 비트라인(BL03)은 상기 센스 앰프(40)측에 더 인접한 비트라인(BL00)보다 빠르게 등화된다. 그 이유는 상기 아이솔레이션 트랜지스터(NM4)의 게이트-소오스간 전압차가 매우 작아 문턱전압을 크게 넘지 못하기 때문이다. 이에 따라, 상기 센스 앰프(40)측에 인접한 비트라인(BL00)의 전위가 프리차아지 레벨인 하프 전원전압의 레벨로 빠르게 하강하지 못하고 긴 슬로프(slope)를 가지면서 상기 하프 전원전압

의 레벨에 천천히 도달하게 된다. 도 4를 미리 참조하면, 비트라인(BL03)의 전위가 프리차아지 레벨에 도달하고 나서 약 $0.003\mu s$ 지난 후에야 비로서 상기 비트라인(BL00)의 전위가 프리차아지 레벨에 도달함을 알 수 있다. 부연하면, 상기 아이솔레이션 트랜지스터(NM4)의 게이트 산화막(gate oxide)의 두께는 타 트랜지스터에 비해 두껍게 되어 있으므로, 문턱전압은 상대적으로 높고 전류 구동능력은 작다. 그러한 상기 아이솔레이션 트랜지스터(NM4)가 프리차아지 모드에서는 약 3볼트의 고전압을 수신하지 못하고 약 1.5볼트의 동작전원전압을 수신하면, 게이트-소오스간 전압차가 매우 작아 턴온 동작이 충분히 보장되기 어려운 것은 명백하다.

<9> 결국, 상기 아이솔레이션 제어신호(PISOi)의 전압과 상기 비트라인에 나타나는 전압의 레벨차이가 상기 아이솔레이션 트랜지스터(NM4)의 문턱전압의 레벨보다 충분히 크지 않으면 상기 아이솔레이션 트랜지스터(NM4)를 통해 흐르는 전류량이 매우 적어 비트라인 등화시간이 길어진다.

<10> 이와 같이, 종래에는 아이솔레이션 트랜지스터들(NM4, NM5)의 작은 전류구동 능력에 기인하여 센스 앰프(40)측에 인접한 비트라인 페어(BL00, BLB00)중의 하나가 상대적으로 늦게 등화되는 문제점이 있다. 따라서, 전체 프리차아지 타임이 증가되어 결국, 반도체 메모리 장치의 고속 동작이 보장되기 어렵다.

<11> 따라서, 반도체 메모리 장치의 비트라인 프리차아지 타임을 최소화하여 고속 동작을 구현할 수 있는 개선된 기술이 요구된다.

【발명이 이루고자 하는 기술적 과제】

- <12> 따라서, 본 발명의 목적은 상기한 종래의 문제점을 해소할 수 있는 반도체 메모리 장치를 제공함에 있다.
- <13> 본 발명의 다른 목적은 비트라인 프리차이지 타임을 최소화 또는 단축할 수 있는 반도체 메모리 장치를 제공함에 있다.
- <14> 본 발명의 또 다른 목적은 비트라인 페어를 통해 서로 연결된 메모리 셀과 센스 앰프를 전기적으로 격리하기 위한 아이솔레이션 트랜지스터를 보다 효과적으로 제어하여 고속 동작을 꾀할 수 있는 반도체 메모리 장치를 제공함에 있다.
- <15> 본 발명의 또 다른 목적은 프리차이지 타임을 단축할 수 있는 아이솔레이션 제어 신호 인가방법을 제공함에 있다.
- <16> 본 발명의 또 다른 목적은 휘발성 반도체 메모리 장치에서 프리차이지 타임을 가속하기 위한 프리차이지 방법을 제공함에 있다.
- <17> 본 발명의 또 다른 목적은 아이솔레이션 제어신호와 등화제어신호를 효과적으로 제어함으로써, 비트라인 등화시간을 획기적으로 감소시킬 수 있는 반도체 메모리 장치의 프리차이지 방법을 제공함에 있다.
- <18> 본 발명의 또 다른 목적은 프리차이지 모드에서 아이솔레이션 부내의 아이솔레이션 트랜지스터의 게이트-소오스간 전압이 문턱전압보다 매우 크도록 함에 의해 아이솔레이션 트랜지스터의 전류구동능력 저하를 방지할 수 있는 반도체 메모리 장치 및 그에 따른 프리차이지 방법을 제공함에 있다.

- <19> 본 발명의 또 다른 목적은 비트라인 등화시 아이솔레이션 트랜지스터의 전류 능력 감소를 방지하여 아이솔레이션 트랜지스터의 설계를 제한없이 비교적 프리하게 할 수 있는 반도체 메모리 장치 및 방법을 제공함에 있다.
- <20> 상기한 목적들 및 타의 목적을 달성하기 위하여 본 발명의 일 아스펙트(aspect)에 따라, 비트라인 페어를 통해 서로 연결된 메모리 셀과 센스 앰프를 전기적으로 연결하거나 격리하는 아이솔레이션 부와, 프리차아지 모우드 동안에 상기 메모리 셀과 연결된 상기 비트라인 페어를 동일한 전압레벨로 프리차아지 하는 등화부를 구비한 반도체 메모리 장치는: 상기 프리차아지 모우드 동안에 상기 아이솔레이션 부를 구동하기 위한 구동 제어신호를, 상기 등화부의 프리차아지 동작이 시작된 시점부터 일정 타임 구간이 경과한 후에, 고전압 레벨보다 낮은 내부전원전압 레벨로서 인가하는 아이솔레이션 제어부를 구비한다.
- <21> 본 발명의 또 다른 아스펙트(aspect)에 따라, 휘발성 반도체 메모리 장치에서 프리차아지 타임을 가속하기 위한 비트라인 프리차아지 방법은, 프리차아지 모우드의 시작시 등화 인에이블 신호가 등화부에 인가되도록 하여 메모리 셀 블록과 센스앰프를 연결하는 비트라인 페어를 프리차아지하는 단계와; 선택된 메모리 셀 블록과 연결된 아이솔레이션 부에 인가되는 아이솔레이션 제어신호와 비선택된 메모리 셀 블록과 연결된 아이솔레이션 부에 인가되는 아이솔레이션 제어신호가 서로 동일한 내부전원전압 레벨로서 인가되어지는 시점이, 상기 등화 인에이블 신호가 인가되는 시점보다 더 늦도록 하기 위해 상기 프리차아지 모우드에서 상기 아이솔레이션 제어신호들을 설정 타임구간 만큼 지연한 후 상기 아이솔레이션 부들에 인가하는 단계를 가짐을 특징으로 한다.

- <22> 상기한 장치 및 방법적 구성에 따르면, 프리차아지 모드에서 아이솔레이션 트랜지스터의 전류능력이 증대되어 비트라인 등화 타임이 단축되고, 결국, 그에 따라 프리차아지 동작이 고속으로 이루어진다.

【발명의 구성 및 작용】

- <23> 상기한 본 발명의 목적들 및 타의 목적들, 특징, 그리고 이점들은, 첨부된 도면들을 참조하여 이하에서 기술되는 본 발명의 상세하고 바람직한 실시예의 설명에 의해 보다 명확해질 것이다. 도면들 내에서 서로 동일 내지 유사한 부분들은 설명 및 이해의 편의상 동일 내지 유사한 참조부호들로 기재됨을 주목하여야 한다.
- <24> 도 2 및 도 3은 본 발명의 실시예들에 따른 아이솔레이션 제어부의 회로도들이다.
- <25> 먼저, 도 2를 참조하면, 도 1에 도시된 아이솔레이션 제어신호 발생부(60)와 동일한 아이솔레이션 제어신호 발생부(60) 및 제어신호 지연부(70)가 보여진다. 상기 아이솔레이션 제어신호 발생부(60)는, 메모리 셀(10)이 선택되었다고 가정할 경우 액티브 모드에서는 선택된 메모리 셀(10)에 연결된 아이솔레이션 부(30)로 구동제어신호인 아이솔레이션 제어신호(PISO_i)를 고전압 레벨로서 인가하고, 비선택된 메모리 셀(11)에 연결된 아이솔레이션 부(31)로 아이솔레이션 제어신호(PISO_j)를 접지전압 레벨 예컨대 0볼트로서 인가한다. 또한, 프리차아지 모드에서는 선택 및 비선택된 메모리 셀들(10,11)에 연결된 아이솔레이션 부들(30,31)로 상기 아이솔레이션 제어신호들(PISO_i, PISO_j)을 상기 고전압(VPP) 레벨보다 낮은 내부전원전압(IVC), 예컨대 동작전원전압(VCC)레벨로서 인가한다. 상기한 동작을 수행하기 위해, 아이솔레이션 제어신호 발생부(60)는, 상기 동작

모우드 신호들(PBLSiB, PBLsjB)을 수신하여 낸드 응답을 생성하고 인에이블 신호로서 출력하는 낸드 게이트(NAN1)와, 상기 인에이블 신호의 제1 상태 예컨대 로직 로우(LOW)에 공통으로 응답하여 구동 제어신호라인 페어(PISOi, PISOj)가 상기 내부전원전압(VCC)으로 등화되게 하고 상기 인에이블 신호의 제2 상태 예컨대 로직 하이(HIGH)에 공통으로 응답하여 상기 구동 제어신호라인 페어(PISOi, PISOj)가 상기 고전압 레벨차를 갖도록 하는 제1,2,3 피형 모오스 트랜지스터들(PM1, PM2, PM3)과, 상기 제2,3 피형 모오스 트랜지스터들(PM2, PM3)의 공통 접속노드에 연결되어 상기 내부전원전압 레벨(VCC)을 공급하기 위한 엔형 모오스 트랜지스터(NM11)로 구성된다.

<26> 본 발명의 목적을 달성하기 위하여 마련된 상기 제어신호 지연부(70)는, 상기 프리차아지 모우드에서 상기 아이솔레이션 제어신호(PISOi, PISOj)가 상기 고전압 레벨보다 낮은 상기 내부전원전압(VCC)레벨로서 상기 아이솔레이션 부들(30,31)로 인가될 때, 상기 아이솔레이션 제어신호(PISOi, PISOj)를 상기 등화부의 프리차아지 동작이 시작된 시점부터 일정 타임 구간이 경과한 후에 인가되도록 하는 역할을 한다. 도 2내에서 상기 제어신호 지연부(70)는 상기 제1 피형 모오스 트랜지스터(PM1)의 소오스 및 드레인에 각기 연결된 저항들(R1, R2)과, 저항(R3) 및 모오스 캐패시터(CM1)로 구성된 RC 딜레이로 이루어진다. 여기서, 상기 RC 딜레이 및 상기 저항들(R1, R2)에 의해 상기 일정 타임구간이 설정된다.

<27> 상기한 구성에 따라, 프리차아지 모우드의 경우에 상기 아이솔레이션 트랜지스터들(NM4, NM5)의 턴온 동작은 충분히 보장되어 비트라인(BL)과 상보 비트라인(BLB)의 전압레벨이 하프 전원전압(1/2 VCC)으로 등화(Equalize)되는 시간은 대폭적으로 단축된다.

<28> 프리차아지 동작에 걸리는 시간이 단축되는 이유를 구체적으로 설명하면 다음과 같다. 프리차아지 모드에서 동작 모드 신호들(PBLSi, PBLSiB, PBLSjB)이 각기 로우, 하이, 하이로서 인가되면, 도 1에서 보여지는 등화 제어신호 발생부(50)에서는 하이 레벨의 등화 제어신호(PEQi)를 생성한다. 이에 따라 상기 등화트랜지스터들(NM1, NM2, NM3)의 각 게이트 단자의 전압레벨은 0볼트에서 상기 동작전원전압(VCC)의 레벨로 바뀌어지고, 통상적으로 하프 전원전압의 레벨을 목표로 하는 비트라인 프리차아지 동작이 시작된다. 한편, 상기 프리차아지 모드의 동작 초기에는 상기 아이솔레이션 트랜지스터들(NM4, NM5)의 게이트 단자에는 상기 내부전원전압(VCC)이 곧바로 인가되는 것이 아니라 ~~상기 고전압(VPP)보다 약간 낮은 전압이 인가된다.~~ 그러한 이유는 상기 제어신호 지연부(70)의 역할 때문이다.

<29> 즉, 아이솔레이션 제어신호(PISOi)가 상기 동작전원전압(VCC)의 레벨로서 곧바로 인가되지 못하는 이유는 상기 동작 모드 신호들(PBLSiB, PBLSjB)에 응답하는 상기 낸드 게이트(NAN1)의 출력이 지연되고, 상기 저항들(R1, R2)의 작용에 의해, 상기 구동 제어신호라인 페어(PISOi, PISOj)가 상기 내부전원전압(VCC)으로 등화되는 시간이 오래 걸리기 때문이다. 상기 비트라인(BL)에 하이레벨의 데이터가 존재하였던 경우라고 가정하면, 아이솔레이션 트랜지스터(NM4)의 큰 전류구동능력에 기인하여 비트라인(BL03)과 비트라인(BL00)의 등화속도는 거의 같게 된다. 상기 트랜지스터(NM4)의 전류능력이 커진 이유는 상기 고전압(VPP)보다 약간 낮은 전압이 상기 아이솔레이션 트랜지스터(NM4)의 게이트에 인가됨에 따라 상기 아이솔레이션 트랜지스터(NM4)의 게이트-소오스간 전압차가 매우 커지게 되어 트랜지스터의 문턱전압을 크게 넘어서기 때문이다. 상기 아이솔레이션 트랜지스터(NM4)의 전류구동능력 이 증가됨에 따라 상기 센스 앰프(40)측에 인접한 비트라인

(BL00)의 전위가 프리차아지 레벨인 하프 전원전압의 레벨로 빠르게 하강한다. 도 5를 미리 참조하면, 비트라인(BL03)의 전위가 프리차아지 레벨에 도달하는 시점과 상기 비트라인(BL00)의 전위가 프리차아지 레벨에 도달하는 시점이 거의 같게 되어, 프리차아지 소요시간이 대폭적으로 단축됨을 알 수 있다.

<30> 상기한 바와 같이, 프리차아지 모드동안에 내부전원전압 레벨로 변화되는 아이솔레이션 제어신호의 인가시점을 지연함에 의해 센스 앰프측에 인접한 비트라인 페어 (BL00,BLB00)중의 하나가 빠르게 프리차아지되므로, 반도체 메모리 장치의 고속 동작이 보장된다.

<31> 도 3을 참조하면, 도 2에서 보여지는 구성과 동일한 아이솔레이션 제어신호 발생부 (60)와, 인버터 체인으로 구성된 제어신호 지연부(71)가 보여진다. 상기 아이솔레이션 제어신호 발생부(60)의 동작원리는 도 2에 설명된 것과 같다. 상기 제어신호 지연부(71)는 인버터 체인의 지연동작에 의해 도 2의 제어신호 지연부(70)와 실질적으로 같은 기능을 행한다. 결국, 아이솔레이션 제어신호 발생부(60)의 등화시점을 상기 등화 제어신호 (PEQi)의 인가시점보다 늦게 함에 의해, 상기 아이솔레이션 트랜지스터들(NM4,NM5)의 턴 온 동작은 충분히 보장되어 비트라인(BL)과 상보 비트라인(BLB)의 전압레벨이 하프 전원 전압(1/2 VCC)으로 등화(Equalize)되는 시간은 대폭적으로 단축된다.

<32> 도 4 및 도 5는 각기, 컨벤셔널 기술에 따른 비트라인 프리차아지 동작과 본 발명의 실시예에 따른 비트라인 프리차아지 동작을 비교하기 위해 도시된 도면들이다.

<33> 먼저, 도 4에서는 이미 설명한 바와 같이, 센스 앰프에 인접한 비트라인(BL00)이 메모리 셀(10)에 인접한 비트라인(BL03)보다 늦게 하프 전원전압(약 0.7볼트)등화됨을 그래프들을 통하여 알 수 있다. 그러한 이유는 프리차아지 모드에서 아이솔레이션 트

랜지스터(NM4)의 게이트 전압과 소오스 전압간의 차이가 문턱전압을 크게 넘지 못하여 아이솔레이션 트랜지스터가 약하게(slightly) 턴온(Turn-on) 되었기 때문이다.

- <34> 도 5를 참조하면, 아이솔레이션 제어신호(PISOI)를 가리키는 그래프의 슬로프는 상대적으로 완만하다. 즉, 고전압의 레벨이 내부전원전압(약 1.6볼트)의 레벨로 하강하기 까지 걸리는 시간이 도 4의 경우에 비해 상당히 길다. 이러한 것은 상기 제어신호 지연부(70)의 작용에 의한 것이다. 이에 따라, 비트라인(BL03)의 전위가 프리차아지 레벨에 도달하는 시점과 상기 비트라인(BL00)의 전위가 프리차아지 레벨에 도달하는 시점이 거의 같게 되어, 프리차아지 소요시간이 대폭적으로 단축된다. 실질적으로 도 4 및 도 5의 비교를 통하여 최소 $0.003\mu s$ 정도의 시간이 단축됨을 알 수 있다.

- <35> 결국, 프리차아지 모우드의 동작초기에서 아이솔레이션 트랜지스터의 전류구동능력을 크게 하면 메모리 셀 측보다는 센스 앰프측에 더 인접한 비트라인 페어(BL00, BLB00) 중의 하나가 상대적으로 늦게 등화되는 문제점이 말끔히 해결된다. 이에 따라, 전체 프리차아지 타임이 감소되어 반도체 메모리 장치의 고속 동작 구현이 보장된다.

- <36> 상기한 바와 같이, 본 발명은 도면을 기준으로 예를들어 기술되었지만 이에 한정되지 않으며 발명의 기술적 사상을 벗어나지 않는 범위내에서 본 발명이 속하는 기술분야에서 통상의 지식을 갖는 자에 의해 다양한 변화와 변경이 가능함은 물론이다. 예를 들어, 사안에 따라 회로내의 세부구성을 달리할 수 있음은 물론이다.

【발명의 효과】

- <37> 상술한 바와 같이 본 발명에 따르면, 반도체 메모리 장치의 프리차이지 모드에서 아이솔레이션 부내의 아이솔레이션 트랜지스터의 전류능력이 증대되어 비트라인 등화 타임이 단축되는 효과가 있다. 따라서, 프리차이지 동작을 고속으로 행할 수 있는 이점이 있다.

【특허청구범위】**【청구항 1】**

비트라인 페어를 통해 서로 연결된 메모리 셀과 센스 앰프를 전기적으로 연결하거나 격리하는 아이솔레이션 부와, 프리차아지 모우드 동안에 상기 메모리 셀과 연결된 상기 비트라인 페어를 동일한 전압레벨로 프리차아지 하는 등화부를 구비한 반도체 메모리 장치에 있어서:

상기 프리차아지 모우드 동안에 상기 아이솔레이션 부를 구동하기 위한 구동 제어 신호를, 상기 등화부의 프리차아지 동작이 시작된 시점부터 일정 타임 구간이 경과한 후에, 고전압 레벨보다 낮은 내부전원전압 레벨로서 인가하는 아이솔레이션 제어부를 구비함을 특징으로 하는 반도체 메모리 장치.

【청구항 2】

제1항에 있어서, 상기 아이솔레이션 제어부는:

액티브 모우드에서는 선택된 메모리 셀에 연결된 아이솔레이션 부로 상기 구동 제어신호를 고전압 레벨로서 인가하고, 비선택된 메모리 셀에 연결된 아이솔레이션 부로 상기 구동 제어신호를 접지전압 레벨로서 인가하고, 상기 프리차아지 모우드에서는 선택 및 비선택된 메모리 셀에 연결된 아이솔레이션 부들로 상기 구동 제어신호를 상기 고전압 레벨보다 낮은 내부전원전압 레벨로 인가하는 아이솔레이션 제어신호 발생부와;

상기 프리차아지 모우드에서 상기 구동 제어신호가 상기 고전압 레벨보다 낮은 상기 내부전원전압 레벨로서 상기 아이솔레이션 부들로 인가될 때, 상기 등화부의 프리차

아지 동작이 시작된 시점부터 일정 타임 구간이 경과한 후에 인가되도록 하는 제어신호 지연부를 포함함을 특징으로 하는 반도체 메모리 장치.

【청구항 3】

제2항에 있어서, 상기 제어신호 지연부는 RC 딜레이 또는 인버터 체인으로 구성됨을 특징으로 하는 반도체 메모리 장치.

【청구항 4】

제1항에 있어서, 상기 아이솔레이션 부는, 상기 내부전원전압 레벨을 게이트로 수신하는 노말 트랜지스터들의 문턱전압보다 높은 문턱전압을 가지는 엔형 모오스 트랜지스터들로 구성됨을 특징으로 하는 반도체 메모리 장치.

【청구항 5】

제2항에 있어서, 상기 아이솔레이션 제어신호 발생부는:

동작 모우드 신호들을 수신하여 낸드 응답을 생성하고 인에이블 신호로서 출력하는 낸드 게이트와;

상기 인에이블 신호의 제1 상태에 공통으로 응답하여 구동 제어신호라인 페어가 등화되게 하고 상기 인에이블 신호의 제2 상태에 공통으로 응답하여 상기 구동 제어신호라인 페어가 상기 고전압 레벨차를 갖도록 하는 제1,2,3 피형 모오스 트랜지스터들과;

상기 제2,3 피형 모오스 트랜지스터들의 공통 접속노드에 연결되어 상기 내부전원 전압 레벨을 공급하기 위한 엔형 모오스 트랜지스터로 구성됨을 특징으로 하는 반도체 메모리 장치.

【청구항 6】

반도체 메모리 장치에 있어서:

복수의 워드라인과 복수의 비트라인이 교차하는 지점마다 연결된 메모리 셀들이 매트릭스 구조를 이루는 메모리 셀 블록을 복수로 가지는 메모리 셀 어레이와;

상기 메모리 셀 블록내의 메모리 셀들과는 비트라인 페어를 통해 연결되며 상기 메모리 셀들에 의해 공유되어지는 센스앰프와;

상기 센스앰프와 메모리 셀 블록간마다 상기 비트라인 페어에 연결되며, 인가되는 아이솔레이션 제어신호의 상태에 응답하여 상기 비트라인 페어를 통해 서로 연결된 상기 메모리 셀과 센스 앰프를 전기적으로 연결하거나 격리하는 아이솔레이션 부와;

상기 아이솔레이션 부와 상기 메모리 셀 블록간마다 상기 비트라인 페어에 연결되며, 인가되는 등화 제어신호의 상태에 응답하여 프리차아지 모우드에서 상기 비트라인 페어를 동일한 전압레벨로 프리차아지 하는 등화부와;

액티브 모우드에서는 선택된 메모리 셀 블록에 연결된 아이솔레이션 부로는 상기 아이솔레이션 제어신호를 고전압 레벨로서 인가하고, 비선택된 메모리 셀 블록에 연결된 아이솔레이션 부로는 상기 아이솔레이션 제어신호를 접지전압 레벨로서 인가하고, 프리차아지 모우드에서는 선택 및 비선택된 메모리 셀 블록에 연결된 아이솔레이션 부들로

상기 아이솔레이션 제어신호를 상기 고전압 레벨보다 낮은 내부전원전압 레벨로 인가하는 아이솔레이션 제어신호 발생부와;

상기 프리차아지 모드에서 상기 아이솔레이션 제어신호가 상기 고전압 레벨보다 낮은 상기 내부전원전압 레벨로서 상기 메모리 셀 블록들에 각기 연결된 아이솔레이션 부로 인가될 때 상기 고전압 레벨에서 상기 내부전원전압 레벨로 인가되기 까지 걸리는 타임을 상기 아이솔레이션 제어신호 발생부의 소자 딜레이에 의한 딜레이 타임보다 더 늦게 되도록 하기 위한 제어신호 지연부를 구비함을 특징으로 하는 반도체 메모리 장치.

【청구항 7】

제6항에 있어서, 상기 제어신호 지연부는 RC 딜레이 또는 인버터 체인으로 구성됨을 특징으로 하는 반도체 메모리 장치.

【청구항 8】

제6항에 있어서, 상기 아이솔레이션 제어신호 발생부는:

동작 모드 신호들을 수신하여 낸드 응답을 생성하고 인에이블 신호로서 출력하는 낸드 게이트와;

상기 인에이블 신호의 제1 상태에 공통으로 응답하여 아이솔레이션 제어신호라인 페어가 등화되게 하고 상기 인에이블 신호의 제2 상태에 공통으로 응답하여 상기 아이솔레이션 제어신호라인 페어가 상기 고전압 레벨차를 갖도록 하는 제1,2,3 피형 모오스 트랜지스터들과;

상기 제2,3 피형 모오스 트랜지스터들의 공통 접속노드에 연결되어 상기 내부전원 전압 레벨을 공급하기 위한 엔형 모오스 트랜지스터로 구성됨을 특징으로 하는 반도체 메모리 장치.

【청구항 9】

제8항에 있어서, 상기 제어신호 지연부는 상기 낸드 게이트에 연결된 RC 딜레이와, 상기 제1 피형 모오스 트랜지스터의 소오스 및 드레인에 각기 연결된 저항들로 구성됨을 특징으로 하는 반도체 메모리 장치.

【청구항 10】

제8항에 있어서, 상기 제어신호 지연부는 상기 낸드 게이트의 출력에 연결된 짝수 단의 인버터 체인으로 구성됨을 특징으로 하는 반도체 메모리 장치.

【청구항 11】

휘발성 반도체 메모리 장치에서 프리차아지 타임을 가속하기 위한 비트라인 프리차아지 방법에 있어서:

프리아차지 모우드의 시작시 등화 인에이블 신호가 등화부에 인가되도록 하여 메모리 셀 블록과 센스앰프를 연결하는 비트라인 페어를 프리차아지하는 단계와;

선택된 메모리 셀 블록과 연결된 아이솔레이션 부에 인가되는 아이솔레이션 제어신호와 비선택된 메모리 셀 블록과 연결된 아이솔레이션 부에 인가되는 아이솔레이션 제어

신호가 서로 동일한 내부전원전압 레벨로서 인가되어지는 시점이, 상기 등화 인에이블 신호가 인가되는 시점보다 더 늦도록 하기 위해 상기 프리차아지 모드에서 상기 아이솔레이션 제어신호들을 설정 타임구간 만큼 지연한 후 상기 아이솔레이션 부들에 인가하는 단계를 가짐을 특징으로 하는 비트라인 프리차아지 방법.

【청구항 12】

제11항에 있어서:

상기 프리차아지 모드가 아닌 액티브 모드에서는 상기 선택된 메모리 셀 블록과 연결된 아이솔레이션 부에 인가되는 아이솔레이션 제어신호는 고전압 레벨이고, 상기 비선택된 메모리 셀 블록과 연결된 아이솔레이션 부에 인가되는 아이솔레이션 제어신호는 접지전원전압 레벨임을 특징으로 하는 비트라인 프리차아지 방법.

【청구항 13】

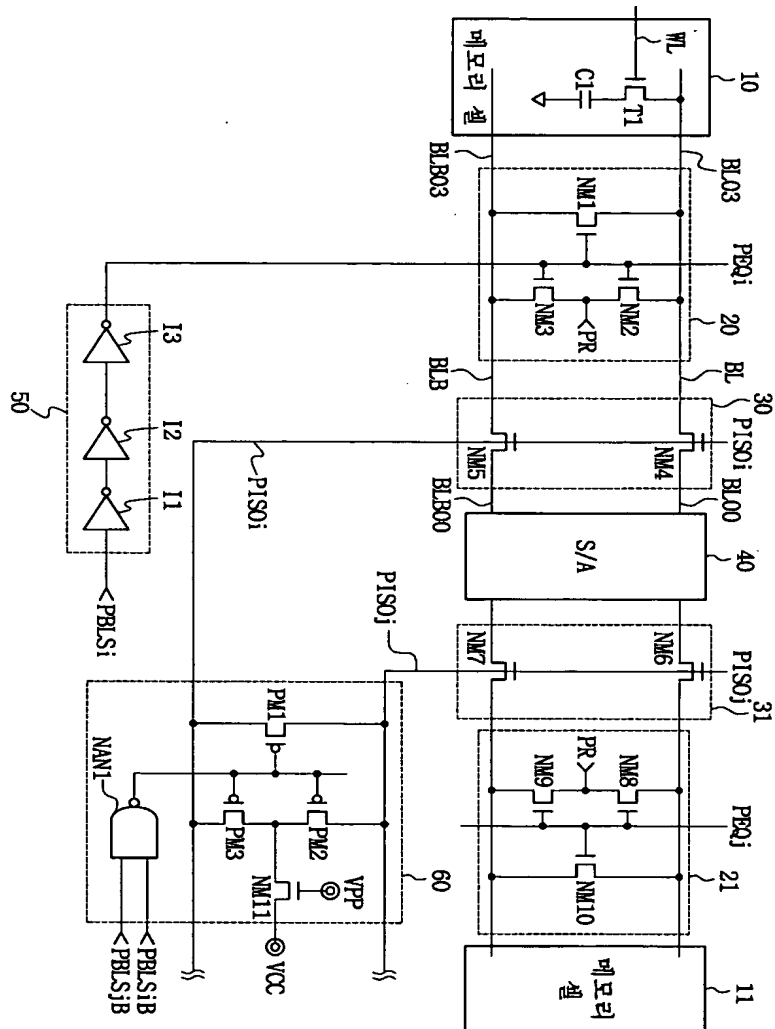
비트라인 페어를 통해 서로 연결된 메모리 셀과 센스 앰프를 전기적으로 연결하거나 격리하는 아이솔레이션 부와, 프리차아지 모드 동안에 상기 메모리 셀과 연결된 상기 비트라인 페어를 동일한 전압레벨로 프리차아지 하는 등화부를 구비한 반도체 메모리 장치에 있어서:

상기 프리차아지 모드의 동작초기에는 상기 비트라인 페어중의 하나와 연결된 아이솔레이션 트랜지스터의 게이트에 고전압 레벨과 유사한 전압을 인가하고, 프리차아지

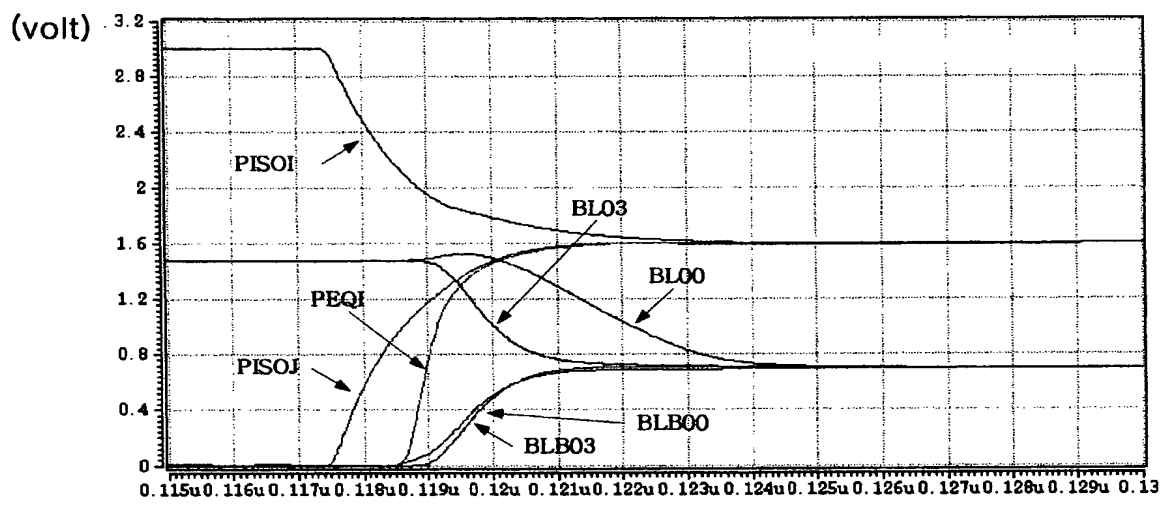
모우드의 동작후기에는 상기 고전압 레벨보다 낮은 내부전원전압을 인가하는 아이솔레이션 제어부를 구비함을 특징으로 하는 반도체 메모리 장치.

【도면】

【도 1】



【도 4】



【도 5】

